

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-256730

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

G11B 20/10

G10L 19/00

H03M 3/02

(21)Application number : 2000-087651

(71)Applicant : YAMAHA CORP

(22)Date of filing : 10.03.2000

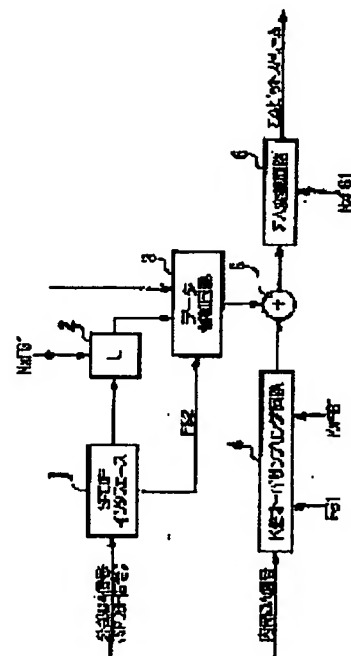
(72)Inventor : SOGO AKIRA

(54) DIGITAL MIXING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital mixing circuit capable of mixing two asynchronous input digital audio signals with simple constitution.

SOLUTION: The digital mixing circuit which mixes the first digital audio signals sampled at a first frequency and the second digital audio signals sampled at a second frequency has a resampling means which resamples the first digital audio signals at a third frequency, a data control means which outputs the first digital audio signals resampled by the resampling means only in the prescribed period and an adding means which adds the first digital audio signals and second digital audio signals controlled by the data control means.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-256730

(P2001-256730A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl.	識別記号	F I	テームト* (参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 Z 5 D 0 4 4
G 1 0 L 19/00		H 0 3 M 9/02	5 D 0 4 5
H 0 3 M 3/02		G 1 0 L 9/18	B 5 J 0 6 4
			9 A 0 0 1

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-87651(P2000-67651)

(22) 出願日 平成12年3月10日 (2000.3.10)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 十河 章

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 100064908

弁理士 志賀 正武 (外1名)

Fターム(参考) 5D044 AB05 FG14 FG30

5D045 DA03

5J064 AAD4 BA01 BA08 BC07 BC08

BD02

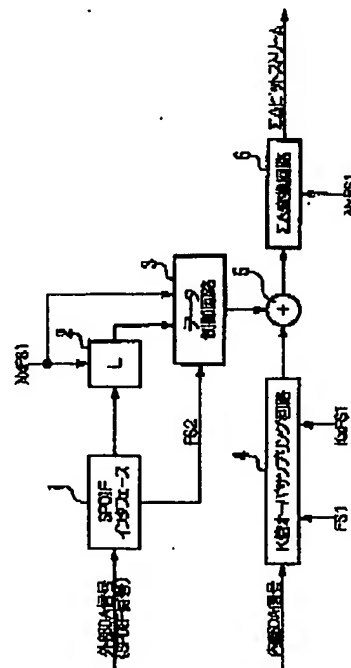
9A001 EE04 HH15

(54) 【発明の名称】 デジタルミキシング回路

(57) 【要約】

【課題】 簡単な構成で非同期の2つの入力デジタルオーディオ信号をミキシングすることができるデジタルミキシング回路を提供する。

【解決手段】 第1の周波数でサンプリングされた第1のデジタルオーディオ信号と第2の周波数でサンプリングされた第2のデジタルオーディオ信号とをミキシングするデジタルミキシング回路であって、第1のデジタルオーディオ信号を第3の周波数で再サンプリングする再サンプリング手段と、再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を、所定期間のみ出力するデータ制御手段と、データ制御手段で出力制御された第1のデジタルオーディオ信号と第2のデジタルオーディオ信号とを加算する加算手段とを備える。



【特許請求の範囲】

【請求項1】 第1の周波数でサンプリングされた第1のデジタルオーディオ信号と第2の周波数でサンプリングされた第2のデジタルオーディオ信号とをミキシングするデジタルミキシング回路であって、
前記デジタルミキシング回路は、
前記第1のデジタルオーディオ信号を第3の周波数で再サンプリングする再サンプリング手段と、
前記再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を、所定期間のみ出力するデータ制御手段と、
前記データ制御手段で出力制御された第1のデジタルオーディオ信号と第2のデジタルオーディオ信号とを加算する加算手段と、
を具備することを特徴とするデジタルミキシング回路。

【請求項2】 前記デジタルミキシング回路は、
前記加算手段の出力を $\Sigma\Delta$ 変調によりビットストリームに変換する $\Sigma\Delta$ 変換手段をさらに備え、
前記再サンプリング手段で再サンプリングする第3の周波数は前記 $\Sigma\Delta$ 変換手段の動作クロックの周波数であることを特徴とする請求項1に記載のデジタルミキシング回路。

【請求項3】 前記データ制御回路は、
前記第1の周波数に対応したサンプリング周期内の連続した一定期間のみ、前記再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を前記加算手段に供給することを特徴とする請求項2に記載のデジタルミキシング回路。

【請求項4】 前記データ制御回路は、
前記第1の周波数に対応したサンプリング周期内の間欠的に発生する所定期間のみ、前記再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を前記加算手段に供給することを特徴とする請求項2に記載のデジタルミキシング回路。

【請求項5】 前記デジタルミキシング回路は、
前記第2のデジタルオーディオ信号をK倍（Kは2以上の整数）にオーバーサンプリングして前記加算手段に供給するオーバーサンプリング手段をさらに備えることを特徴とする請求項3または4に記載のデジタルミキシング回路。

【請求項6】 前記第3の周波数は第2の周波数のN（NはKの自然数倍）倍であることを特徴とする請求項5に記載のデジタルミキシング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、非同期の2つの入力デジタルオーディオ信号をミキシングするデジタルミキシング回路に関する。

【0002】

【従来の技術】 従来、本体装置とは独立したオーディオ

等の外部デジタルインターフェースを付加的に備え、その外部デジタルインターフェースから入力した外部デジタルオーディオ信号と本体装置側の内部デジタルオーディオ信号とをミキシングするシステムにおいては、2つの信号のクロックの同期をとるか、または内部デジタルオーディオ信号のサンプリングレートに合わせるべく、外部デジタルオーディオ信号を高度なデジタル信号処理回路でサンプリングレート変換させて処理していた。

【0003】 クロックの同期をとる方法としては、本体装置内部にPLL（Phase Locked Loop）を設けて外部デジタルオーディオ信号に同期した再生マスタクロックを生成し、それで本体装置を駆動する方法などがある。しかし、複数の外部デジタルオーディオ信号を入力して内部デジタルオーディオ信号にミキシングしたいケースなどでは、複数の外部デジタルオーディオ信号に同時に同期した再生マスタクロックを生成するのは不可能である。また、本体装置のマスタクロックを再生クロックに切り換える際、瞬間的に処理が途切れてしまうという問題もある。そこで、このような場合には、本体装置で外部デジタルオーディオ信号に対してサンプリングレート変換処理を施すことによってデータそのものを加工することで、レートを統一してしまうことが一般的である。

【0004】

【発明が解決しようとする課題】 ところで、従来技術では、上述したように、クロックの同期をとるためのPLLまたは高度なサンプリングレート変換回路が必要になり、コストアップにつながるという問題がある。

【0005】 この発明は上述した事情に鑑みてなされたもので、簡単な構成で非同期の2つの入力デジタルオーディオ信号をミキシングすることができるデジタルミキシング回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 上述した問題点を解決するために、請求項1記載の発明は、第1の周波数でサンプリングされた第1のデジタルオーディオ信号と第2の周波数でサンプリングされた第2のデジタルオーディオ信号とをミキシングするデジタルミキシング回路であって、前記デジタルミキシング回路は、前記第1の入力デジタルオーディオ信号を第3の周波数で再サンプリングする再サンプリング手段と、前記再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を、所定期間のみ出力するデータ制御手段と、前記データ制御手段で出力制御された第1のデジタルオーディオ信号と第2のデジタルオーディオ信号とを加算する加算手段とを具備することを特徴とする。

【0007】 また、請求項2記載の発明では、前記デジタルミキシング回路は、前記加算手段の出力を $\Sigma\Delta$ 変調によりビットストリームに変換する $\Sigma\Delta$ 変換手段をさらに備え、前記再サンプリング手段で再サンプリングする第3の周波数は前記 $\Sigma\Delta$ 変換手段の動作クロックの周波

数であることを特徴とする。

【0008】また、請求項3記載の発明では、前記データ制御回路は、前記第1の周波数に対応したサンプリング周期内の連続した一定期間のみ、前記再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を前記加算手段に供給することを特徴とする。

【0009】また、請求項4記載の発明では、前記データ制御回路は、前記第1の周波数に対応したサンプリング周期内の間欠的に発生する所定期間のみ、前記再サンプリング手段で再サンプリングされた第1のデジタルオーディオ信号を前記加算手段に供給することを特徴とする。

【0010】また、請求項5記載の発明では、前記デジタルミキシング回路は、前記第2のデジタルオーディオ信号をK倍（Kは2以上の整数）にオーバーサンプリングして前記加算手段に供給するオーバーサンプリング手段をさらに備えることを特徴とする。

【0011】また、請求項6記載の発明では、前記第3の周波数は第2の周波数のN（NはKの自然数倍）倍であることを特徴とする。

【0012】

【発明の実施の形態】以下、本発明の一実施形態によるミキシング回路を図面を参照して説明する。ここで、以下の説明に用いる用語について説明する。本発明によるミキシング回路が備えられる本体装置内において処理される信号を内部DA（デジタルオーディオ）信号という。また、本体装置の外部から入力され、内部DA信号にミキシングされる信号を外部DA（デジタルオーディオ）信号という。さらに内部DA信号、外部DA信号のサンプリング周波数をそれぞれFS1、FS2と称する。また、K（Kは2以上の整数）倍したFS1をK×FS1と称し、N（NはKの自然数倍）倍のFS1をN×FS1と称する。

【0013】図1は同実施形態の構成を示すブロック図である。この図において、外部DA信号の一例としてはSPDIF信号が挙げられる。SPDIF信号は、EIAJ CP-120「デジタルオーディオインタフェース」（別名SPDIF）で規格化されたシリアルフォーマットのデジタルオーディオ信号であり、そのビットレートは64FS2である。上記のとおり、FS2は外部DA信号のサンプリング周波数で、この場合、48kHz、44.1kHz、32kHz、等の値をとる。符号1は、SPDIFインタフェースであり、64FS2のビットレートで伝送されるSPDIF信号を受信して、FS2のデジタルオーディオ信号に変換する。なお、内部で生成されたFS2に対応したクロックを後述するデータ制御回路に供給する。

【0014】符号2は、ラッチ回路（Dタイプフリップフロップ）であり、FS2の外部DA信号をN×FS1のクロックでラッチ（再サンプリング）する。このラッ

チ回路の代わりに、前述したような高精度のサンプリング周波数変換回路によりサンプリング周波数を変換すれば外部DA信号の劣化は少なくなるが、回路が複雑になり、高価になる。また、上記のように、この実施形態では外部DA信号としてSPDIF信号を想定しており、SPDIF信号は異なるサンプリング周波数のデジタルオーディオ信号を伝送可能なフォーマットであるため、FS2は、あるときは48kHzであったり、またあるときは44.1kHzであったりする。その全てのサンプリング周波数に対応可能な高精度なサンプリング周波数変換回路を用意することは大幅なコストアップを意味する。本発明では、このように異なるサンプリング周波数を取りうる外部DA信号に対して、共通のN×FS1のクロックで単にラッチする、というのが重要な特徴になっている。

【0015】符号3は、外部DA信号の出力を制限するデータ制御回路であり、詳細な構成は後述する。内部DA信号は、サンプリング周波数FS1（例えば48kHz）のデジタル信号である。なお、本発明のデジタルミキシング回路が、AC（Audio Codec）'97規格に対応したCodec（AD、DA）LSI内に適用される場合には、AC-linkを介して送られるシリアル信号をパラレル信号に変換したものが外部DA信号となる。

【0016】符号4は、K倍オーバーサンプリング回路であり、FS1で供給される内部DA信号のサンプル値間に補間演算により算出した補間サンプル値を挿入して出力する。K倍のオーバーサンプリングであれば、サンプル値間に（K-1）個の補間サンプル値を挿入することになる。その出力のサンプリング周波数は当然K×FS1となる。この実施形態では、内部DA信号をΣΔ変調して1ビットのビットストリームに変換することを主機能とするものであり、付加機能として、外部DA信号をその内部DA信号にミキシングする機能を有している。K倍オーバーサンプリング回路は、ΣΔ変換回路の前処理として周知の回路である。

【0017】符号5は、デジタル加算器であり、K倍オーバーサンプリング回路4の出力とデータ制御回路3の出力とを加算して出力する。符号6は、デジタル加算器5によって加算された加算結果（多ビット）をΣΔ変調方式によりN×FS1の1ビットのビットストリームに変換して出力するものである。このビットストリームは、必要に応じて、ローパスフィルタによりアナログオーディオ信号に変換されて外部に出力される。

【0018】図2は、図1に示すデータ制御回路3の構成を示すブロック図である。この図において、符号20はSPDIFインタフェース1から供給されるFS2のクロックをN×FS1のクロックでラッチするラッチ回路である。ラッチ回路20の出力を符号FS2'で示す。符号21はカウンタ回路であり、N×FS1のクロ

10

20

30

40

50

ックをアップカウントするとともに $FS2'$ の立ち上がりでリセットする。符号21'はゲート信号生成回路であり、カウンタ回路21の出力に基づきゲート信号を生成する。以降に詳細に説明するが、一例としては、カウンタ回路21のカウント値が所定値以下の時には「HI」レベルのゲート信号を出力し、カウント値が所定値を超えると「LO」レベルのゲート信号を出力するようにすればよい。他の例としては、カウンタ回路21のカウント値が偶数の時には「HI」レベルのゲート信号を出力し、カウント値が奇数の時には「LO」レベルのゲート信号を出力するようにしてもよい。

【0019】符号22は、ゲート信号生成回路21'から出力されるゲート信号に基づいてゲートの開閉を行うゲート回路である。符号23は増幅回路であり、ゲート回路22により間引かれることによって減少する外部DA信号のエネルギーを補償したり、ミキシング比率を変える目的で使われる。

【0020】ここで、図1に示すデータ制御回路3の必要性を説明するために、図6、7、8を参照して、データ制御回路3を備えていないデジタルミキシング回路について簡単に説明する。図6は、データ制御回路3を備えていないデジタルミキシング回路の構成を示すブロック図であり、データ制御回路3を備えていない点のみが図1に示す構成と異なる。図7は、データ制御回路3を備えていない場合のデジタルミキシング回路の各信号を示すタイミングチャートである。図7において、

(a)、(b)、(c)は、それぞれクロック信号 $FS1$ 、 $FS1$ を N 倍した $N \times FS1$ 、 $FS2$ を示している。(d)に示す信号 $FS2'$ は、クロック $FS2$ をクロック $N \times FS1$ によってラッチした信号である。

【0021】内部DA信号と外部DA信号のサンプリング周波数($FS1$ 、 $FS2$)は異なり、さらにそのサンプリング周波数は整数倍の関係にあるとは限らない。そのため、外部DA信号(図7(e))をSPDIFインタフェース1を介して入力し、 $N \times FS1$ にクロックで再サンプリングする際、 $FS2$ の周期内の $N \times FS1$ のクロックの数は一定にならない(図7(d)に示すように「15」または「14」となる)。その結果 $\Sigma\Delta$ 変換回路に入力される外部DA信号のエネルギーが変調されてしまい、その変調成分が歪みとなって発生してしまう。図8は、データ制御回路3を備えていない場合のインパルス応答、伝達関数、及び周波数特性である。さらに、外部DA信号がデューティ100%で $\Sigma\Delta$ 変換回路6に供給され、いわゆる0次ホールド特性のために、高周波数成分が減衰される。これに対して、図1に示すデジタルミキシング回路は、これらの問題を解決するためにデータ制御回路3が備えられている。

【0022】次に、図1に示すデジタルミキシング回路の動作を図3を参照して説明する。図3は、ミキシング回路内の信号を示すタイミングチャートである。図3に

おいて、(a)、(b)、(c)はそれぞれクロック信号 $FS1$ 、 $FS1$ を N 倍した $N \times FS1$ 、 $FS2$ を示している。(d)はクロック $FS2$ をクロック $N \times FS1$ によってラッチした信号、すなわち、上記した $FS2'$ である。これらは、図8に示す信号と同一である。

【0023】まず、ラッチ回路2は、SPDIFインタフェース1を介して $FS2$ の外部DA信号を入力し、 $N \times FS1$ のクロックでデータをラッチする。ラッチされた外部DA信号は、データ制御回路3内のゲート回路22へ出力される。

【0024】カウンタ回路21は、信号 $FS2'$ 及び信号 $N \times FS1$ を入力して、信号 $FS2'$ の立ち上がりから信号 $N \times FS1$ のパルスのカウントを開始する。ゲート信号生成回路21'は、カウンタ回路21から供給されるカウント値をデコードしてゲート信号 GS を生成する。図3(e)は、カウンタ回路21のカウント値が8に達したときに「HI」レベルから「LO」レベルに変化するゲート信号 GS を示している。ゲート信号 GS はゲート回路22に供給され、ゲート回路22は、ゲート信号 GS が「HI」レベルの時には外部DA信号を通過させ、ゲート信号 GS が「LO」レベルのときには阻止するように作用する。増幅回路23は、ゲート回路22の出力を必要に応じて増幅して出力する。

【0025】一方、 K 倍オーバサンプリング回路4は、内部DA信号を入力して、 K 倍のオーバサンプリングを行い、その結果をデジタル加算器5へ出力する。デジタル加算器5は、増幅回路23の出力と K 倍オーバサンプリング回路4の出力とを加算して、 $\Sigma\Delta$ 変換回路6へ出力する。 $\Sigma\Delta$ 変換回路6は、入力された信号を $\Sigma\Delta$ 変調して $\Sigma\Delta$ ビットストリームへ変換する。

【0026】一例として、図3(g)に示す外部DA信号が入力された場合の増幅回路23の出力例を図3

(h)に示す。このように、サンプリング周期内の一定期間(この例では、パルス8個分の時間)のみデジタル加算器5に対して出力するようにしたため、外部DA信号のエネルギーを一定にすることができ、結果的に歪みを低減することができる。

【0027】また、このようなゲート制御回路3がない場合には、前述したように外部DA信号がデューティ100%で $\Sigma\Delta$ 変換回路6に供給され、いわゆる0次ホールド特性のために、高周波数成分が減衰してしまう。しかし、本発明では、ゲート制御回路3により、適切にデューティを制御しているので、デューティが100%とはならず高周波数成分の減衰を低減することができる。

【0028】なお、図3(f)は、カウンタ回路21のカウント値が偶数の時には「HI」レベル、カウント値が奇数の時には「LO」レベルであるとともに、カウント値が12になった時にはそれ以降は偶数、奇数に関係なく「LO」レベルのゲート信号 GS' を示している。

図3(f)に示すゲート制御信号 $G S'$ によってゲート回路22を制御したときの増幅回路23の出力例を図3(i)に示す。この場合においても、 $\Sigma\Delta$ 変換回路の動作クロック(信号 $N \times F S 1$)のサンプリング周期内の一定期間のみデジタル加算器5に対して出力することができ、外部DA信号のエネルギーが一定になるため、結果的に歪みを低減することができる。また、前述した同様の理由により、高周波数成分の減衰も低減することができる。

【0029】また、図4、5にゲート制御信号 $G S$ 、ゲート制御信号 $G S'$ によってそれぞれ外部DA信号の出力を制限した場合のインパルス応答、伝達関数、及び周波数特性を示す。これらの図に示すように、高域の減衰量を少なくすることが可能となる。特に、ゲート制御信号 $G S'$ によってゲートの開閉を繰り返すことによって、高域の減衰をほとんど無くすることが可能となる。

【0030】このように、前述したデータ制御回路3によれば、 $\Sigma\Delta$ 変換回路に入力される外部DA信号のエネルギーを一定にすることができるので歪みの発生を抑えることが可能となる。

【0031】

【発明の効果】以上説明したように、本発明によれば、外部DA信号を歪ませることなく内部DA信号にミキシングできるという効果が得られる。また、外部DA信号の高周波数成分の減衰を抑えて内部DA信号にミキシングすることができるという効果も得られる。さらに、簡単な構成によってミキシング回路を構成することができ、コストを低減することが可能となるという効果も得られる。

【図面の簡単な説明】

*【図1】 本発明の一実施形態の構成を示すブロック図である。

【図2】 図1に示すデータ制御回路3の構成を示すブロック図である。

【図3】 デジタルミキシング回路内の信号を示すタイミングチャートである。

【図4】 デジタルミキシング回路のインパルス応答、伝達関数、及び周波数特性を示す説明図である。

【図5】 デジタルミキシング回路のインパルス応答、伝達関数、及び周波数特性を示す説明図である。

【図6】 データ制御回路3を備えていない場合のデジタルミキシング回路の構成を示すブロック図である。

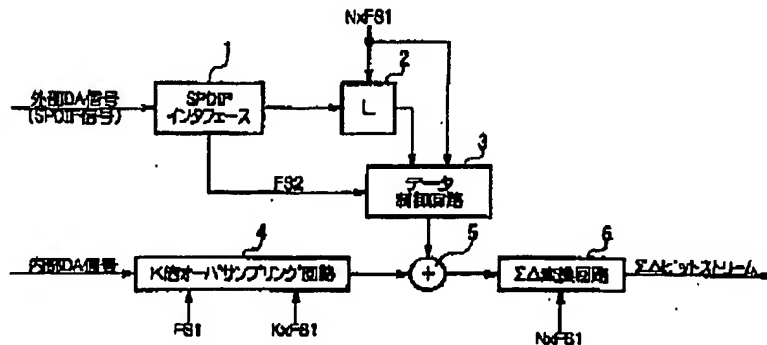
【図7】 データ制御回路3を備えていない場合のデジタルミキシング回路の各信号を示すタイミングチャートである。

【図8】 データ制御回路3を備えていない場合のインパルス応答、伝達関数、及び周波数特性を示す説明図である。

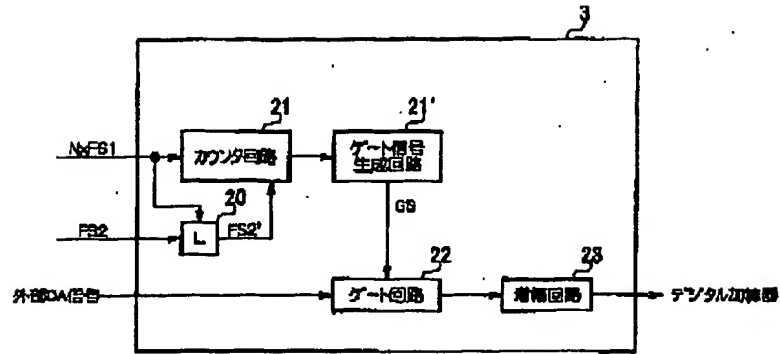
【符号の説明】

- 20 1 SPDIFインタフェース、
2 ラッチ回路、
3 データ制御回路、
4 K倍オーバーサンプリング回路、
5 デジタル加算器、
6 $\Sigma\Delta$ 変換回路、
20 ラッチ回路、
21 カウンタ回路、
21' ゲート信号生成回路、
22 ゲート回路、
23 増幅回路。

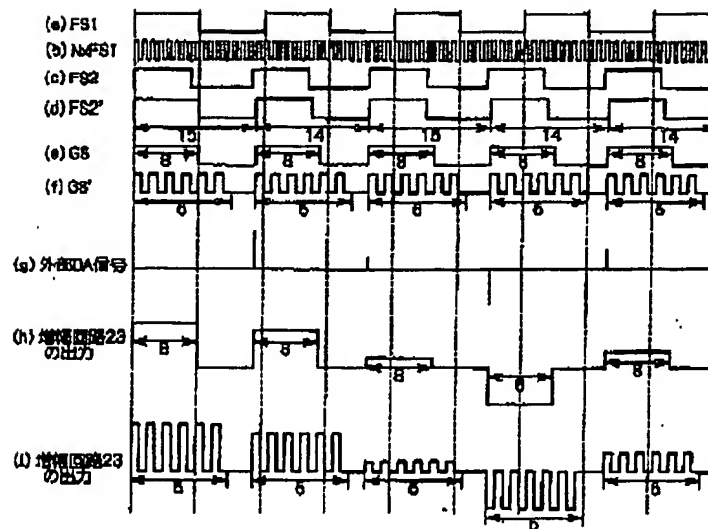
【図1】



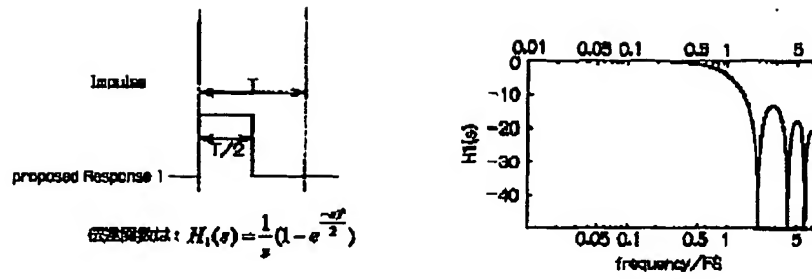
【図2】



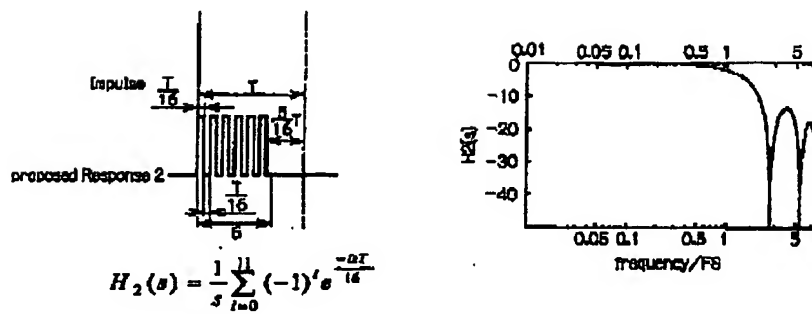
【図3】



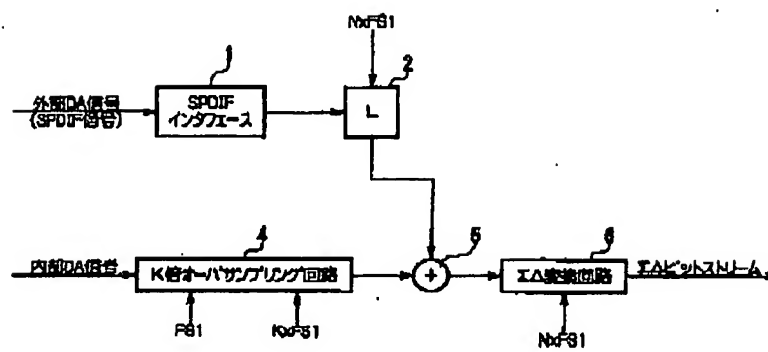
【図4】



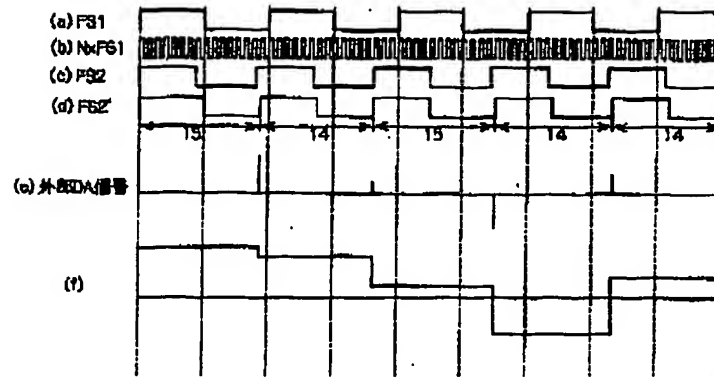
【図5】



【図6】



【図7】



【図8】

